

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-083944**

(43)Date of publication of application : **30.03.2001**

---

(51)Int.Cl. **G09G 3/36**  
**G09G 3/20**

---

(21)Application number : **11-256693** (71)Applicant : **NEC IC MICROCOMPUT  
SYST LTD**

(22)Date of filing : **10.09.1999** (72)Inventor : **MATSUKUMA HIROSHI**

---

## (54) LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device capable of reducing a power consumption in the non-display state and capable of shortening a transition time of state transition from the display state to the non-display state.

SOLUTION: This liquid crystal display device has a liquid crystal display panel 9, common and segment drivers 63 for driving each pixel thereof, common and segment driver control circuits 52 for controlling the drivers 63 based on a display timing, a booster circuit 7 for outputting a power source of plural potentials including a grounding potential, a common power source selector 4 connected to the middle between the circuit 7 and the common driver 6 for selecting and supplying thereto two power sources on the high potential side and the low potential side, a segment power source selector 1 connected to the middle between the circuit 7 and the segment drivers 3 for selecting and supplying thereto two power sources on the high potential side and the low potential

side and a means for inputting a non-display control signal into the common power source selector 4 the common driver control circuits 5 the segment power source selector 1 and the segment driver control circuits 2 at the non-display time of the pixels and for outputting the grounding potential from the common and segment drivers 63.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] A liquid crystal display comprising:

A liquid crystal display panel.

A common driver and a segment driver which drive each pixel of this liquid crystal display panel.

each which controls said common driver and a segment driver based on display timing -- a common driver control circuit and a segment driver control circuit.

A booster circuit which outputs a power supply of two or more potential containing earth potentials and common power selectors which are connected between this booster circuit and said common driver and choose and supply two power supplies by the side of high potential and low voltage to said common driver. Segment power selectors which are connected between said booster circuit and said segment driver and choose and supply two power supplies by the side of high potential and low voltage to said segment driver. A means which inputs a non-display control signal into said common power selector, said common driver control circuit, said segment power selectors, and said segment driver control circuit and to which earth potentials are made to output from said common driver and said segment driver at the time of non-display of a pixel.

[Claim 2] It is that which is provided with the following and as which an output of said common driver control circuit and a segment driver control circuit is inputted into a gate of these transistors respectively. Said common power selectors and

said segment power selectors will output earth potentials as said low voltage side power source if said non-display control signal is inputted. The liquid crystal display according to claim 1 wherein said common driver control circuit and said segment driver control circuit make one a near transistor into which a low voltage side power source will be inputted among said transistors if said non-display control signal is inputted.

Said common driver and said segment driver are the input terminals of said high potential side power source respectively.

A 1 conductivity-type MOS transistor and other conductivity-type MOS transistors by which the series connection was carried out between input terminals of a low voltage side power source.

[Claim 3] The liquid crystal display according to claim 2 when it has the following and said non-display control signal is turned on wherein a signal which makes one a near transistor into which a low voltage side power source is inputted among said transistors from said logic circuit is outputted.

A display timing control circuit where a frame signal is inputted into said common driver control circuit and a segment driver control circuit.

A logic circuit where an output and said non-display control signal of this display timing control circuit are inputted.

[Claim 4] The liquid crystal display according to claim 3 wherein said non-display control signal is a signal which serves as a high at the time of one and said logic circuit is what takes logical sum.

[Claim 5] The liquid crystal display according to claim 3 or 4 wherein display memory data which said liquid crystal display panel is made to display on said display timing control circuit of said segment driver control circuit is inputted.

[Claim 6] A liquid crystal display method given in any 1 paragraph of claims 2 thru/or 5 wherein said one conductivity type is a n type and said other conductivity

types are p types.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the liquid crystal display which can make power consumption small.

[0002]

[Description of the Prior Art] The circuit where an important point when developing the microcomputer of low consumption current does not have the necessity for operation is stopping the operation or lowering clock frequency as much as possible.

[0003] Drawing 8 is a block diagram showing the segment driver circuit of the conventional liquid crystal display. Drawing 9 is a block diagram showing the common driver circuit of the conventional liquid crystal display. drawing 10 takes potential along a vertical axis and takes time along a horizontal axis. (a) shows the segment waveform at the conventional time of non-display and (b) is a mimetic diagram showing the common waveform at the conventional time of non-display.

[0004] As shown in drawing 8, the segment driver circuit currently used for the conventional liquid crystal display comprises the segment power selectors 100, the segment driver control circuit 110, and the segment driver 120. The segment power selectors 100 have the power supply change timing control circuit 101 and the switch a102, the switch b103, the switch c104, and the switch d105 are connected to this power supply change timing control circuit 101. Earth-potentials GND is connected to the switch a102 and power supply VLC0 is inputted into power supply VLC1 and the switch d105 on the switch b103 at power supply VLC2 and the switch c104 respectively. The clock is inputted into the power supply change timing control circuit 101. The power supply change

timing control circuit 101 changes the switch c104 and the switch d105. VLC0 or VLC1 are chosen and outputted as the high potential side power source VSH and the switch a102 and the switch b103 are changed and VLC2 or GND is chosen and outputted as the low voltage side power source VSL.

[0005] The segment driver control circuit 110 has the display timing control circuit 111 where the frame signals 0-3 and the display memory data 0 are inputted and the display timing control circuit 111 outputs segment driver-gate-signals SD0.

[0006] The segment driver 120 has p channel output buffer 121 and n channel output buffer 122 by a CMOS type. The high potential side power source VSH is inputted into p channel output buffer 121. The low voltage side power source VSL is inputted into n channel output buffer 122 and the node of this p channel output buffer 121 and n channel output buffer 122 is connected to the segment terminal 123. If output SD0 of the display timing control circuit 111 is inputted into the gate of p channel output buffer 121 and n channel output buffer 122 and segment driver-gate-signals SD0 becomes a high level, VSL is outputted to the segment terminal 123 and segment driver-gate-signals SD0 becomes a low level and VSH will be outputted to the segment terminal 123. [ n channel output buffer 122 ] [ p channel output buffer 121 ]

[0007] As shown in drawing 9, the common driver circuit currently used for the conventional liquid crystal display comprises the common power selectors 130, the common driver control circuit 140, and the common driver 150. The common power selectors 130 have the power supply change timing control circuit 131 and the switch a132, the switch b133, the switch c134, and the switch d135 are connected to this power supply change timing control circuit 131. Earth-potentials GND is connected to the switch a132 and power supply VLC0 is inputted into power supply VLC1 and the switch d135 on the switch b133 at power supply VLC2 and the switch c134 respectively. The clock is inputted into the power supply change timing control circuit 131. The power supply change timing control circuit 131 changes the switch c134 and the switch d135. VLC0 or VLC1 are chosen and outputted as the high potential side power source VCH and

the switch a132 and the switch b133 are changed and VLC2 or GND is chosen and outputted as the low voltage side power source VCL.

[0008]The common driver control circuit 140 has the display timing control circuit 141 where the frame signals 0-3 are inputted and the display timing control circuit 141 outputs common driver gating signal CD0.

[0009]The common driver 150 has p channel output buffer 151 and n channel output buffer 152 by a CMOS type. The high potential side power source VCH is inputted into p channel output buffer 151 the low voltage side power source VCL is inputted into n channel output buffer 152 and the node of this p channel output buffer 151 and n channel output buffer 152 is connected to the common terminal 153. If output CD0 of the display timing control circuit 141 is inputted into the gate of p channel output buffer 151 and n channel output buffer 152 and common driver gating signal CD0 becomes a high if VCL is outputted to the common terminal 153 and common driver gating signal CD0 becomes a low and VCH will be outputted to the common terminal 153. [ n channel output buffer 152 ] [ p channel output buffer 151 ]

[0010]In the conventional liquid crystal display constituted like \*\*\*\*The power supply change timing control circuit 101 of a segment driver circuit operates with a clock as an example as shown in drawing 10 (a) chooses and outputs VLC1 as VSH and chooses and outputs VLC2 as VSL. And only a clock is inputted into the display timing control circuit 111 of the segment driver control circuit 110 in a non-display state The display timing control circuit 111 outputs the signal which changes to a high and a low as segment driver-gate-signals SD0 synchronizing with a clock to the segment driver 120. Thereby as shown in drawing 10 (a) rectangular wave shape segment waveform S0 is outputted to the segment terminal 123.

[0011]The power supply change timing control circuit 131 of a common driver circuit operates with a clock as an example as shown in drawing 10 (b) chooses and outputs VLC1 as VCH and chooses and outputs VLC2 as VCL. And only a clock is inputted into the display timing control circuit 141 of the common driver

control circuit 140 in a non-display state. The display timing control circuit 141 outputs the signal which changes to a high and a low as common driver gating signal CD0 synchronizing with a clock to the common driver 150. Thereby as shown in drawing 10 (b) the rectangular wave shape common waveform C0 is outputted to the common terminal 153.

[0012] However, since the segment driver 120 is a CMOS type, by output state transition which changes to rectangular wave shape as the signal S0 outputted to the segment terminal 123 shows drawing 10 (a), penetration current occurs in p channel output buffer 121 and n channel output buffer 122.

[0013] Similarly, since the common driver 150 is also a CMOS type, by output state transition which changes to rectangular wave shape as the signal C0 outputted to the common terminal 153 shows drawing 10 (b), penetration current occurs in p channel output buffer 151 and n channel output buffer 152. For this reason, the loss of current arises and power consumption increases.

[0014] As the conventional liquid crystal display (henceforth an LCD display device) is shown in drawing 10 (a) and (b), the square wave of intermediate potential is outputted from the segment terminal 123 and the common terminal 153 at the time of non-display.

There is a problem that useless current is consumed.

[0015] On the other hand, in the conventional LCD display device, in the control circuit of the type which shows with the pressure-up power supply for a LCD display. In order to be able to choose whether a pressure-up power supply is connected to load or it opens and to shorten the pressure-up time from the point in time immediately after powering on and initialization, the method which separates load from a booster circuit is taken. Load mainly means segment terminal capacity and LCD panel capacity when performing the shift to a non-display state from a displaying condition only in a control circuit. In a control circuit, current supply selection to load is considered as opening, and the shift to a non-display state is performed. When a booster circuit is separated from load, load

holds potential just before current supply will not be carried out and being separated from a power supply by load's own capacity. For this reason in putting out the light it requires time when time until the electric charge charged by the segment terminal or common terminal which is load discharges automatically is required and it is the most by putting out lights of an LCD panel.

[0016] The LCD display device which reduced power consumption is proposed that a part of above-mentioned problem should be solved (JP2-210492A JP2-221998A).

[0017] It has two or more bidirectional transfer gates to the power supply of the drive circuit of a liquid crystal display element and the LCD display device with the function to stop the clock signal of a liquid crystal display element is indicated by JP2-210492A.

[0018] This LCD display device can stop driving clock signals without making the output of the full power terminal for an LCD display device element drive into a high impedance state and degrading the liquid crystal display element characteristic by making a bidirectional transfer gate un-flowing with a standby control signal.

[0019] To the supply source of the power supply voltage of the output buffer circuit which carries out the direct drive of the liquid crystal display element to JP2-221998A. Two bidirectional transfer gate circuits are connected and the LCD display device of composition of that the power supply for a liquid crystal drive and other power supplies can be changed with the control signal of this transfer gate circuit is indicated. The common-electrode-driving signal and segment electrode signal with which this LCD display device carries out the direct drive of the liquid crystal display element can output specific voltage according to an operating state.

[0020]

[Problem(s) to be Solved by the Invention] However in JP2-210492A since all the output terminals are high impedance states when an LCD display device is non-display the problem that a flicker occurs is shown in an LCD display device.

[0021] In [ if potential higher than GND or GND is chosen as the output of a transfer gate circuit in JP2-221998A when this LCD display device is used with a dynamic system ] p channel of an output buffer circuit Since reverse bias occurs and current increases there is a problem that the output of each LCD terminal cannot be chosen as buffer source potential of n channel about a VDD level. For this reason power consumption cannot be made small.

[0022] This invention was made in view of this problem and is \*\*\*\*. The purpose reduces the power consumption in a state and it is providing the liquid crystal display which can shorten the transition time of the change state from a displaying condition to a non-display state.

[0023]

[Means for Solving the Problem] A liquid crystal display concerning this invention is provided with the following.

Liquid crystal display panel.

A common driver and a segment driver which drive each pixel of this liquid crystal display panel.

each which controls said common driver and a segment driver based on display timing -- with a common driver control circuit and a segment driver control circuit.

A booster circuit which outputs a power supply of two or more potential containing earth potentials and common power selectors which are connected between this booster circuit and said common driver and choose and supply two power supplies by the side of high potential and low voltage to said common driver Segment power selectors which are connected between said booster circuit and said segment driver and choose and supply two power supplies by the side of high potential and low voltage to said segment driver A means which inputs a non-display control signal into said common power selector said common driver control circuit said segment power selectors and said segment driver control circuit and to which earth potentials are made to output from said common driver and said segment driver at the time of non-display of a pixel.

[0024]When a non-display control signal is inputted in order to make earth potentials output in this invention from a common driver and a segment driver which drive each pixel of a liquid crystal display panel. Since an output to each pixel serves as earth potentials instead of a square wave of intermediate potential at the time of non-display when a liquid crystal display panel is in a non-display state, the consumed electric current can be reduced.

[0025]Since an electric charge accumulated in capacity by earth potentials can be emitted in this invention when a liquid crystal display panel shifts to a non-display state from a displaying condition, since earth potentials can be impressed to each pixel of a liquid crystal panel, an electric charge can be discharged promptly. For this reason, since transition time of a change state from a displaying condition to a non-display state can be shortened, lights-out can be shortened.

[0026]In this case, said common driver and said segment driver. It has a 1 conductivity-type MOS transistor and other conductivity-type MOS transistors by which the series connection was carried out between an input terminal of said high potential side power source and an input terminal of a low voltage side power source, respectively. It is that as which an output of said common driver control circuit and a segment driver control circuit is inputted into a gate of these transistors, respectively. Said common power selectors and said segment power selectors will output earth potentials as said low voltage side power source if said non-display control signal is inputted. If said non-display control signal is inputted, said common driver control circuit and said segment driver control circuit can be constituted so that a near transistor into which a low voltage side power source is inputted among said transistors may be made one.

[0027]By this, common power selectors and segment power selectors will output earth potentials as a low voltage side power source if a non-display control signal is inputted. When a common driver control circuit and a segment driver control circuit is inputted [ a non-display control signal ] in order to make one a near transistor into which a low voltage side power source is inputted among

transistors Penetration current which flows into a 1 conductivity-type MOS transistor and other conductivity-type MOS transistors by which the series connection was carried out is lost and the consumed electric current can be reduced.

[0028] Said common driver control circuit and a segment driver control circuit When it has a display timing control circuit where a frame signal is inputted and a logic circuit where an output and said non-display control signal of this display timing control circuit are inputted and said non-display control signal is turned on It is preferred that a signal which makes one a near transistor into which a low voltage side power source is inputted among said transistors from said logic circuit is outputted.

[0029] Since a signal which makes one a near transistor into which a low voltage side power source is inputted among transistors from a logic circuit by this is outputted earth potentials can be outputted to each pixel of a liquid crystal display panel as a low voltage side power source from this transistor.

[0030]

[Embodiment of the Invention] Hereafter the liquid crystal display concerning the example of this invention is explained in detail with reference to an attached drawing.

[0031] Drawing 1 is a block diagram showing the liquid crystal display concerning the example of this invention drawing 2 is a block diagram showing the segment driver circuit of the liquid crystal display concerning the example of this invention and drawing 3 is a block diagram showing the common driver circuit of the liquid crystal display concerning the example of this invention. The segment driver 3 and the segment driver control circuit 2 which are shown in drawing 2 are summarized by n pieces and the segment driver 3 and the segment driver control circuit 2 which are shown in drawing 1 express them. The common driver 6 and the common driver control circuit 5 which are shown in drawing 3 are summarized by four pieces and the common driver 6 and the common driver control circuit 5 which are shown in drawing 1 express them.

[0032] In the liquid crystal display of this example as shown in drawing 1 the booster circuit 7 connected to the power supply 72 via the switch 71 carries out pressure up of the voltage of the power supply 72 and outputs three sorts of power supply voltage VLC0, VLC1 and VLC2. Such power supply voltage VLC0-VLC2 is inputted into the segment power selectors 1 and the common power selectors 4. Choose the segment power selectors 1 from these power supply voltage and earth potentials and they output the high potential side power source VSH and the low voltage side power source VSL to the segment driver 3. The common power selectors 4 are similarly chosen from these power supply voltage and earth potentials and output the high potential side power source VCH and the low voltage side power source VCL to the common driver 6. The segment driver 3 and the common driver 6 output the output signals S0-Sn and C0-C3 of those to the liquid crystal (LCD) panel 9 drive two or more pixels of LCD panel 9 and display data.

[0033] The display control circuit 8 outputs a clock to the segment power selectors 1 and the common power selectors 4 and it is outputted to the segment driver control circuit 2 and the common driver control circuit 5. The data (display RAM data) of the display pattern displayed on LCD panel 9 is stored in the display memory 80. The display memory data (display RAM data) 0 - n show the address of the display memory 80. The data of this display memory 80 is given to the segment driver control circuit 2 via the display control circuit 8. The display control circuit 8 outputs a frame signal to the segment driver control circuit 2 and the common driver control circuit 5. And in this example when [ non-display ] the display control circuit 8 is each pixel of a liquid crystal a non-display control signal is outputted and this non-display control signal is inputted into the segment driver control circuit 2, the segment power selectors 1, the common driver control circuit 5 and the common power selectors 4.

[0034] As shown in drawing 2 the segment power selectors 1 have the power supply change timing control circuit 10 and the switch a1, the switch b1, the switch c1 and the switch d1 which were constituted by the transistor are

connected to this power supply change timing control circuit 10. On earth-potentials GND and the switch b12 power supply VLC0 is inputted into the switch a11 for power supply VLC1 and the switch d14 at power supply VLC2 and the switch c13 respectively. The clock is inputted into the power supply change timing control circuit 10. The power supply change timing control circuit 10 changes the switch c13 and the switch d14. VLC0 or VLC1 are chosen and outputted as the high potential side power source VSH and the switch a11 and the switch b12 are changed and VLC2 or GND is chosen and outputted as the low voltage side power source VSL.

[0035] The display timing control circuit 20 where the frame signals 0-3 and the display memory data 0 are inputted into the segment driver control circuit 2. It has an OR circuit (alternation gate) 21 into which the output and non-display control signal of the display timing control circuit 20 are inputted. OR circuit 21 takes the logical sum of the output of the display timing control circuit 20 and a non-display control signal, sets this to segment driver-gate-signals SD0, and outputs it to the segment driver 3. The same may be said of the segment driver gate signals SD1-SDn.

[0036] The segment driver 3 has p channel output buffer 30 and n channel output buffer 31 by a CMOS type. The high potential side power source VSH is inputted into p channel output buffer 30, the low voltage side power source VSL is inputted into n channel output buffer 31, and the node of this p channel output buffer 30 and n channel output buffer 31 is connected to the segment terminal 32.

Segment driver-gate-signals SD0 outputted from OR circuit 21 is inputted into the gate electrode of each transistor of p channel output buffer 30 and n channel output buffer 31. If segment driver-gate-signals SD0 becomes a high and VSL will be outputted to the segment terminal 32. [ n channel output buffer 31 ] On the other hand, if segment driver-gate-signals SD0 becomes a low and VSH will be outputted to the segment terminal 32. [ p channel output buffer 30 ] The same may be said of the segment driver gate signals SD1-SDn. The output of this segment driver 3 is given to each pixel of LCD panel 9.

[0037]As shown in drawing 3the common power selectors 4 have the power supply change timing control circuit 40and the switch a41the switch b42the switch c43and the switch d44 which were constituted by the transistor are connected to this power supply change timing control circuit 40. On earth-potentials GND and the switch b42power supply VLC0 is inputted into the switch a41 for power supply VLC1 and the switch d44 at power supply VLC2 and the switch c43respectively. The clock is inputted into the power supply change timing control circuit 40The power supply change timing control circuit 40 changes the switch c43 and the switch d44VLC0 or VLC1 are chosen and outputted as the high potential side power source VCHand the switch a41 and the switch b42 are changedand VLC2 or GND is chosen and outputted as the low voltage side power source VCL.

[0038]The display timing control circuit 50 where the frame signals 0-3 are inputted into the common driver control circuit 5It has OR circuit 51 into which the output and non-display control signal of the display timing control circuit 50 are inputtedand OR circuit 51 takes the logical sum of the output of the display timing control circuit 50and a non-display control signalsets this to common driver gating signal CD0and outputs it to the common driver 6. The same may be said of the common driver gating signals CD1-CD3.

[0039]The common driver 6 has p channel output buffer 60 and n channel output buffer 61 by a CMOS type. The high potential side power source VCH is inputted into p channel output buffer 60the low voltage side power source VCL is inputted into n channel output buffer 61and the node of this p channel output buffer 60 and n channel output buffer 61 is connected to the common terminal 62.

Common driver gating signal CD0 outputted from OR circuit 51 is inputted into the gate electrode of each transistor of p channel output buffer 60 and n channel output buffer 61If common driver gating signal CD0 becomes a highand VCL will be outputted to the common terminal 62. [ n channel output buffer 61 ] On the other handif common driver gating signal CD0 becomes a lowand VCH will be outputted to the common terminal 62. [ p channel output buffer 60 ] The same

may be said of the common driver gating signals CD1-CD3. The output of this common driver 6 is given to each pixel of LCD panel 9.

[0040]Next in addition to drawing 1 thru/or 3 operation of the liquid crystal display concerning this example is explained with reference to drawing 4 thru/or drawing 7. Drawing 4 is a timing chart which shows the input waveform and output wave of a segment driver where take potential along a vertical axis and it takes time along a horizontal axis and which start this example Drawing 5 (a) is a timing chart which shows the output wave of the segment driver where takes potential along a vertical axis and it takes time along a horizontal axis and which is applied to this example and (b) is an important section enlarged drawing of (a). Drawing 6 is a timing chart which shows the input waveform and output wave of a common driver where take potential along a vertical axis and it takes time along a horizontal axis and which start this example Drawing 7 (a) is a timing chart which shows the output wave of the common driver where takes potential along a vertical axis and it takes time along a horizontal axis and which is applied to this example and (b) is an important section enlarged drawing of (a).

[0041]First operation of a displaying condition is explained. When a non-display control signal is OFF (low level) so that it may see in the first half of drawing 5 (a) and drawing 7 (a) it displays by the usual displaying condition. That is as shown in drawing 4 a clock and the frame signals 0-3 are generated by the display control circuit 8. So that a desired display may be attained on LCD panel 9 with the output of the segment terminal 32 The data shown in the display memory data 0 of drawing 1 by the display RAM data 0 of drawing 4 is set up and the value of this display memory data 0 is inputted into the display timing control circuit 20 of the segment driver control circuit 2 via the display control circuit 8. The display timing control circuit 20 of the segment driver control circuit 2 generates segment driver gate signals as usual from the frame signals 0-3 and the display memory data 0.

[0042]The low is inputted into OR circuit 21 as a non-display control signal and if the logical sum of the output of the display timing control circuit 20 and a non-

display control signal is taken the output of the display timing control circuit 20 will be outputted as segment driver-gate-signals SD0 as it is. This SD0 is inputted into the gate electrode of p channel output buffer 30 of the segment driver 3 and n channel output buffer 31.

[0043] The power supply change timing control circuit 10 of the segment power selectors 1 inputs a non-display control signal and a clock turns on and off the switch c13 and the switch d14 by turns synchronizing with this clock and makes VLC0 and VLC1 output by turns as the high potential side power source VSH. The power supply change timing control circuit 10 turns on and off the switch a11 and the switch b12 by turns synchronizing with a clock and makes VLC2 and GND output by turns as the low voltage side power source VSL. And the potential (VLC2 or GND) of VSL is outputted to the segment terminal 32 as the segment driver output S0 [ during the high / 0 / segment driver-gate-signals SD ] [ n channel output buffer 31 ] And the potential (VLC0 or VLC1) of VSH is outputted to the segment terminal 32 as the segment driver output S0. [ during the low / 0 / segment driver-gate-signals SD ] [ p channel output buffer 30 ] Thereby the wave-like signal of S0 shown in drawing 4 is outputted to the segment terminal 32. The segment driver outputs S1-Sn are similarly outputted from the segment driver 3.

[0044] Next operation of the displaying condition in the common driver 6 is explained. If a clock and the frame signals 0-3 are inputted into the display timing control circuit 50 as shown in drawing 6 the display timing control circuit 50 will generate the common driver gating signals CD0-CD3. Since the non-display control signal is a low at the time of a display the output of the common driver control circuit 5 to the display timing control circuit 50 is outputted as the common driver gating signals CD0-CD3 as it is. The power supply change timing control circuit 40 changes the switch d44 and the switch c43 synchronizing with a clock outputs VLC0 and VLC1 by turns as the high potential side power source VCH and outputs VLC2 and GND by turns as the low voltage side power source VCL. And in the common driver 6 when common driver gating signal CD0 is a

high and VCL is chosen and the potential of VCL at that time is outputted to the common terminal 62 as the common driver output C0. [ n channel output buffer 61 ] On the other hand when common driver gating signal CD0 is a low and VCH is chosen and the potential of VCH at that time is outputted to the common terminal 62 as the common driver output C0. [ p channel output buffer 60 ] Thereby the wave-like signal shown in drawing 6 by C0 is outputted to the common terminal 62. The common driver outputs C1-C3 are similarly outputted from the common driver 6.

[0045] Next the operation at the time of non-display of the segment driver 3 is explained with reference to drawing 5 (a) and (b). At the time of non-display of a liquid crystal the display control circuit 8 makes a non-display control signal one (high-level).

[0046] As shown in drawing 5 (a) when a non-display control signal is one (high-level) no matter what signal may be outputted from the display timing control circuit 20 a high signal is outputted and n channel output buffer 31 is turned on from OR circuit 21. Since one [ the power supply change timing control circuit 10 / the switch a11 and the switch c13 ] when a non-display control signal is high-level as an output of the segment power selectors 1 VSH is fixed to VLC1 and VSL is fixed to GND. And since high segment driver-gate-signals SD0 is inputted into the segment driver 3 and n channel output buffer 31 is turned on VSL is chosen and a GND level is outputted to the segment terminal 32.

[0047] Next the operation at the time of non-display of the common driver 6 is explained with reference to drawing 7 (a) and (b).

[0048] When a non-display control signal is high-level as shown in drawing 7 (a) the output of the display timing control circuit 50 is not [ how ] scrupulous from OR circuit 51 a high is outputted as common driver gating signal CD0 and n channel output buffer 61 is turned on. When a non-display control signal is high-level the power supply change timing control circuit 40 carries out the switch a41 and the switch c43 to one fixes VCH to VLC1 as an output of the common power selectors 4 and fixes VCL to GND. And while a non-display control signal

becomes high-level as shown in drawing 7 (b) since n channel output buffer 61 is turned on a GND level is outputted to the common terminal 62.

[0049] When OR circuit 21 is formed in the output stage of the segment driver control circuit 2 in this example and a non-display control signal is one like \*\*\*\* When a high is outputted as segment driver-gate-signals SD0 from the SEGMENTODO driver control circuit 2 and n channel output buffer 31 is chosen and a non-display control signal is one Since the power supply change timing control circuit 10 chose GND as the low voltage side power source VSLGND is outputted to the segment terminal 32 and GND is outputted to LCD panel 9.

[0050] Similarly GND is outputted also to the common terminal 62 and GND is outputted to LCD panel 9. Therefore when a non-display control signal is one the segment driver gate signals SD0-SDn and the common driver gating signals CD0-CD3 serve as a high and the segment driver outputs S0-Sn and the common driver outputs C0-C3 serve as GND altogether. That is the output of the segment terminal 32 and the common terminal 62 serves as a GND level instead of the square wave of intermediate potential in a non-display state. Thereby GND can be outputted to each pixel of LCD panel 9 from the segment driver 3 and the common driver 6 and the penetration current in the segment driver 3 and the common driver 6 can be abolished in the case where LCD panel 9 is in a non-display state.

[0051] In this example the segment power selectors 1 and the common power selectors 4 It has the composition of connecting power-supply-voltage VLC0 supplied from the booster circuit 7 to load VLC1 VLC2 or earth-potentials GND When LCD panel 9 shifts to a non-display state from a displaying condition by one [ a non-display control signal ] In [ in the segment power selectors 1 and the common power selectors 4 connect GND to VSL and VCL and also ] the segment driver control circuit 2 and the common driver control circuit 5 Since the power supply change timing control circuits 10 and 40 are controlled by the non-display control signal so that VSL and VCL are chosen with the segment driver 3 and the common driver 6 Since the electric charge accumulated

in the segment terminal 32 and the common terminal 62 can be emitted with earth potential, an electric charge can be discharged promptly. For this reason, LCD panel 9 can be made to switch off promptly.

[0052] It is not limited to an above-mentioned example and it is not necessary to form OR circuit 21 in this invention. In the segment driver control circuit 2 shown in drawing 3, a non-display control signal the frame signals 0-3a, clock and the display memory data 0 in the display timing control circuit 20. At in this case, the time of one. Since SD0 can be made high-level and the segment driver output S0 can be considered as a GND output like \*\*\*\* by processing so that a non-display control signal may be chosen and outputted when a non-display control signal is high-level. The consumed electric current by the penetration current in the segment driver 3 can be reduced in the non-display state. Also in the common driver control circuit 5, it can have composition which does not form OR circuit 51 like the segment driver control circuit 2.

[0053] In the segment driver 3 shown in drawing 3, it can also transpose to the transfer gate which assorted p channel transistor and n channel transistor for p channel output buffer 30 and n channel output buffer 31 which are CMOS types in parallel and connected each source and drain electrode. In this case, in the segment power selectors 1. Since GND can be outputted to VSL, segment driver-gate-signals SD0 can be made high-level and the segment driver output S0 can be considered as a GND output like \*\*\*\* when a non-display signal is one. In the segment driver 3, the power consumption by penetration current can be reduced in the non-display state. When it can have the same composition as the segment driver 3, also in the common power selectors 4 and a non-display signal is one. Since GND can be outputted to VCL, common driver gating signal CD0 can be made high-level and the segment driver output C0 can be considered as a GND output like \*\*\*\* in the common driver 5, the consumed electric current by penetration current can be reduced in the non-display state.

[0054]

[Effect of the Invention] When a non-display control signal is inputted in order to

make earth potentials output from the common driver and segment driver which drive each pixel of a liquid crystal display panel according to this invention as explained in full detail above. Since the output to each pixel serves as earth potentials instead of the square wave of intermediate potential at the time of non-display when a liquid crystal display panel is in a non-display state the consumed electric current can be reduced.

[0055] Since the electric charge accumulated in capacity by earth potentials can be emitted in this invention when a liquid crystal display panel shifts to a non-display state from a displaying condition since earth potentials can be impressed to each pixel of a liquid crystal panel an electric charge can be discharged promptly. For this reason since the transition time of the change state from a displaying condition to a non-display state can be shortened lights-out can be shortened.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is a block diagram showing the liquid crystal display concerning the example of this invention.

[Drawing 2] It is a block diagram showing the segment driver circuit of the liquid crystal display concerning the example of this invention.

[Drawing 3] It is a block diagram showing the common driver circuit of the liquid crystal display concerning the example of this invention.

[Drawing 4] It is a timing chart which shows the input waveform and output wave of a segment driver which take potential along a vertical axis and time along a horizontal axis and start the example of this invention.

[Drawing 5] (a) is a timing chart which shows the output wave of the segment driver where takes potential along a vertical axis and it takes time along a horizontal axis and which is applied to the example of this invention and (b) is an

important section enlarged drawing of (a).

[Drawing 6] It is a timing chart which shows the input waveform and output wave of a common driver which take potential along a vertical axis and time along a horizontal axis and start the example of this invention.

[Drawing 7] (a) is a timing chart which shows the output wave of the common driver where takes potential along a vertical axis and it takes time along a horizontal axis and which is applied to the example of this invention and (b) is an important section enlarged drawing of (a).

[Drawing 8] It is a block diagram showing the segment driver circuit of the conventional liquid crystal display.

[Drawing 9] It is a block diagram showing the common driver circuit of the conventional liquid crystal display.

[Drawing 10] Potential is taken along a vertical axis and time is taken along a horizontal axis (a) shows the segment waveform at the conventional time of non-display and (b) is a mimetic diagram showing the common waveform at the conventional time of non-display.

[Description of Notations]

1100; segment power selectors

2110; segment driver control circuit

3120; segment driver

4130; common power selectors

5140; common driver control circuit

6150; common driver

7; booster circuit

8; display control circuit

9; LCD panel

1040101131; power supply change timing control circuit

1141102132; switch a

1242103133; switch b

1343104134; switch c

1444105135; switch d

2050111141; display timing control circuit

2151; OR circuit

3060121a 151;p channel output buffer

3161122a 152;n channel output buffer

32123; segment terminal

62153; common terminal

71; switch

72; power supply

80; display memory

---

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-83944  
(P2001-83944A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	5 C 0 0 6
3/20	6 1 1	3/20	6 1 1 A 5 C 0 8 0

審査請求 有 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願平11-256693

(22) 出願日 平成11年9月10日 (1999.9.10)

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会社  
神奈川県川崎市中原区小杉町1丁目403番  
53

(72) 発明者 松隈 弘志

神奈川県川崎市中原区小杉町1丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

(74) 代理人 100090158

弁理士 藤巻 正憲

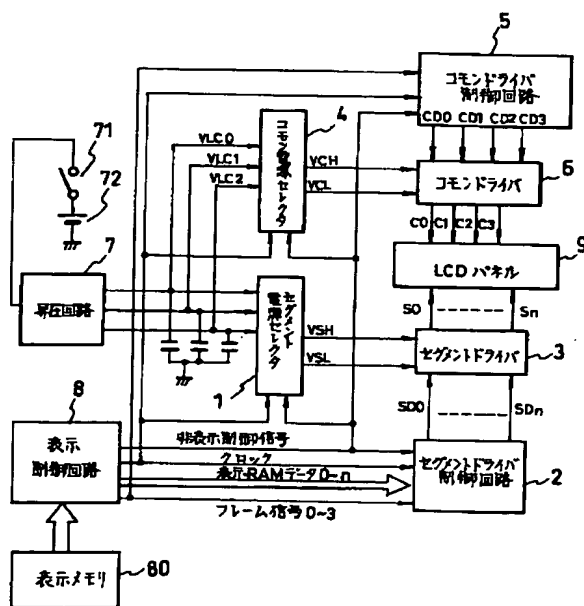
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 非表示状態における消費電力を低減すると共に、表示状態から非表示状態への状態遷移の遷移時間を短縮することができる液晶表示装置を提供する。

【解決手段】 液晶表示パネル9、この各画素を駆動するコモン及びセグメントドライバ6、3、これらを表示タイミングに基づいて制御するコモン及びセグメントドライバ制御回路5、2、接地電位を含む複数の電位の電源を出力する昇圧回路7、これとコモンドライバ6との間に接続されこれに高電位側及び低電位側の2電源を選択して供給するコモン電源セクタ4、これとセグメントドライバ3との間に接続されこれに高電位側及び低電位側の2電源を選択して供給するセグメント電源セクタ1、画素の非表示時にコモン電源セクタ4、コモンドライバ制御回路5、セグメント電源セクタ1及びセグメントドライバ制御回路2に非表示制御信号を入力し、コモン及びセグメントドライバ6、3から接地電位を出力させる手段を有する。



8 ; 表示制御回路  
10 ; 電源切り替えタイミング制御回路  
72 ; コンデンサ  
9 ; LCDパネル  
71 ; スイッチ  
80 ; 表示メモリ

## 【特許請求の範囲】

【請求項1】 液晶表示パネルと、この液晶表示パネルの各画素を駆動するコモンドライバ及びセグメントドライバと、前記コモンドライバ及びセグメントドライバを表示タイミングに基づいて制御する夫々コモンドライバ制御回路及びセグメントドライバ制御回路と、接地電位を含む複数の電位の電源を出力する昇圧回路と、この昇圧回路と前記コモンドライバとの間に接続されて前記コモンドライバに高電位側及び低電位側の2電源を選択して供給するコモン電源セクタと、前記昇圧回路と前記セグメントドライバとの間に接続されて前記セグメントドライバに高電位側及び低電位側の2電源を選択して供給するセグメント電源セクタと、画素の非表示時に、前記コモン電源セクタ、前記コモンドライバ制御回路、前記セグメント電源セクタ及び前記セグメントドライバ制御回路に非表示制御信号を入力し、前記コモンドライバ及び前記セグメントドライバから接地電位を出力させる手段と、を有することを特徴とする液晶表示装置。

【請求項2】 前記コモンドライバ及び前記セグメントドライバは、夫々、前記高電位側電源の入力端子と、低電位側電源の入力端子との間に直列接続された一導電型MOSトランジスタと他導電型MOSトランジスタとを有し、これらのトランジスタのゲートに、夫々前記コモンドライバ制御回路及びセグメントドライバ制御回路の出力が入力されるものであり、前記コモン電源セクタ及び前記セグメント電源セクタは前記非表示制御信号が入力されると前記低電位側電源として接地電位を出力し、前記コモンドライバ制御回路及び前記セグメントドライバ制御回路は前記非表示制御信号が入力されると前記トランジスタのうち低電位側電源が入力される側のトランジスタをオンさせることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記コモンドライバ制御回路及びセグメントドライバ制御回路は、フレーム信号が入力される表示タイミング制御回路と、この表示タイミング制御回路の出力と前記非表示制御信号が入力される論理回路とを有し、前記非表示制御信号がオンになったときに、前記論理回路から前記トランジスタのうち低電位側電源が入力される側のトランジスタをオンさせる信号が出力されることを特徴とする請求項2に記載の液晶表示装置。

【請求項4】 前記非表示制御信号はオンのときにハイとなる信号であり、前記論理回路は論理和をとるものであることを特徴とする請求項3に記載の液晶表示装置。

【請求項5】 前記セグメントドライバ制御回路の前記表示タイミング制御回路には前記液晶表示パネルに表示させる表示メモリデータが入力されることを特徴とする請求項3又は4に記載の液晶表示装置。

【請求項6】 前記一導電型はn型であり、前記他導電型はp型であることを特徴とする請求項2乃至5のい

れか1項に記載の液晶表示方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、消費電力を小さくすることが可能な液晶表示装置に関する。

## 【0002】

【従来の技術】低消費電流のマイクロコンピュータを開発する上での重要な点は、動作の必要がない回路は極力、その動作を停止させるか、又は動作周波数を下げることである。

【0003】図8は従来の液晶表示装置のセグメントドライバ回路を示すブロック図であり、図9は従来の液晶表示装置のコモンドライバ回路を示すブロック図であり、図10は縦軸に電位、横軸に時間を取り、(a)は従来の非表示時のセグメント波形を示し、(b)は従来の非表示時のコモン波形を示す模式図である。

【0004】図8に示すように、従来の液晶表示装置に使用されているセグメントドライバ回路は、セグメント電源セクタ100とセグメントドライバ制御回路110とセグメントドライバ120とから構成されている。セグメント電源セクタ100は電源切り替えタイミング制御回路101を有し、この電源切り替えタイミング制御回路101にはスイッチa102、スイッチb103、スイッチc104及びスイッチd105が接続されている。スイッチa102には接地電位GNDが接続され、スイッチb103には電源VLC2、スイッチc104には電源VLC1、スイッチd105には電源VLC0が夫々入力されている。電源切り替えタイミング制御回路101にはクロックが入力されており、電源切り替えタイミング制御回路101はスイッチc104及びスイッチd105を切り替えて、高電位側電源VSHとしてVLC0又はVLC1を選択して出力し、また、スイッチa102及びスイッチb103を切り替えて、低電位側電源VSLとしてVLC2又はGNDを選択して出力する。

【0005】また、セグメントドライバ制御回路110はフレーム信号0～3及び表示メモリデータ0が入力される表示タイミング制御回路111を有しており、表示タイミング制御回路111はセグメントドライバゲート信号SD0を出力する。

【0006】セグメントドライバ120はCMOSタイプでpチャンネル出力バッファ121とnチャンネル出力バッファ122とを有する。pチャンネル出力バッファ121には高電位側電源VSHが入力され、nチャンネル出力バッファ122には低電位側電源VSLが入力されており、このpチャンネル出力バッファ121とnチャンネル出力バッファ122との接続点がセグメント端子123に接続されている。表示タイミング制御回路111の出力SD0はpチャンネル出力バッファ121及びnチャンネル出力バッファ122のゲートに入力さ

れており、セグメントドライバゲート信号SD0がハイになると、nチャンネル出力バッファ122がオンしてセグメント端子123にVSLが出力され、セグメントドライバゲート信号SD0がロウになると、pチャンネル出力バッファ121がオンしてセグメント端子123にVSHが出力される。

【0007】また、図9に示すように、従来の液晶表示装置に使用されているコモンドライバ回路は、コモン電源セクタ130とコモンドライバ制御回路140とコモンドライバ150から構成されている。コモン電源セクタ130は電源切り替えタイミング制御回路131を有し、この電源切り替えタイミング制御回路131にはスイッチa132、スイッチb133、スイッチc134及びスイッチd135が接続されている。スイッチa132には接地電位GNDが接続され、スイッチb133には電源VLC2、スイッチc134には電源VLC1、スイッチd135には電源VLC0が夫々入力されている。電源切り替えタイミング制御回路131にはクロックが入力されており、電源切り替えタイミング制御回路131はスイッチc134及びスイッチd135を切り替えて、高電位側電源VCHとしてVLC0又はVLC1を選択して出力し、また、スイッチa132及びスイッチb133を切り替えて、低電位側電源VCLとしてVLC2又はGNDを選択して出力する。

【0008】また、コモンドライバ制御回路140はフレーム信号0～3が入力される表示タイミング制御回路141を有しており、表示タイミング制御回路141はコモンドライバゲート信号CD0を出力する。

【0009】コモンドライバ150はCMOSタイプでpチャンネル出力バッファ151とnチャンネル出力バッファ152とを有する。pチャンネル出力バッファ151には高電位側電源VCHが入力され、nチャンネル出力バッファ152には低電位側電源VCLが入力されており、このpチャンネル出力バッファ151とnチャンネル出力バッファ152との接続点がコモン端子153に接続されている。表示タイミング制御回路141の出力CD0はpチャンネル出力バッファ151及びnチャンネル出力バッファ152のゲートに入力されており、コモンドライバゲート信号CD0がハイになると、nチャンネル出力バッファ152がオンしてコモン端子153にVCLが出力され、コモンドライバゲート信号CD0がロウになると、pチャンネル出力バッファ151がオンしてコモン端子153にVCHが出力される。

【0010】上述の如く構成された従来の液晶表示装置においては、セグメントドライバ回路の電源切り替えタイミング制御回路101はクロックにより動作し、一例として、図10(a)に示すように、VSHとしてVLC1を選択して出力し、VSLとしてVLC2を選択して出力する。そして、非表示状態においては、セグメントドライバ制御回路110の表示タイミング制御回路1

11にはクロックだけが入力され、表示タイミング制御回路111はセグメントドライバゲート信号SD0としてクロックに同期してハイ及びロウに切り替わる信号をセグメントドライバ120に出力する。これにより、セグメント端子123には、図10(a)に示すように、矩形波状のセグメント波形S0が出力される。

【0011】また、コモンドライバ回路の電源切り替えタイミング制御回路131はクロックにより動作し、一例として、図10(b)に示すように、VCHとしてVLC1を選択して出力し、VCLとしてVLC2を選択して出力する。そして、非表示状態においては、コモンドライバ制御回路140の表示タイミング制御回路141にはクロックだけが入力され、表示タイミング制御回路141はコモンドライバゲート信号CD0としてクロックに同期してハイ及びロウに切り替わる信号をコモンドライバ150に出力する。これにより、コモン端子153には、図10(b)に示すように矩形波状のコモン波形C0が出力される。

【0012】しかしながら、セグメントドライバ120はCMOSタイプであるので、セグメント端子123に出力される信号S0が図10(a)に示すように矩形波状に切り替わる出力状態遷移により、pチャンネル出力バッファ121及びnチャンネル出力バッファ122において貫通電流が発生する。

【0013】また、同様に、コモンドライバ150もCMOSタイプであるので、コモン端子153に出力される信号C0が図10(b)に示すように矩形波状に切り替わる出力状態遷移により、pチャンネル出力バッファ151及びnチャンネル出力バッファ152に貫通電流が発生する。このため、電流の損失が生じ、消費電力が多くなる。

【0014】更に、従来の液晶表示装置（以下、LCD表示装置という）は、図10(a)、(b)に示すように、非表示時にセグメント端子123及びコモン端子153から中間電位の矩形波が出力されており、無駄な電流が消費されているという問題点がある。

【0015】一方、従来のLCD表示装置において、LCD表示用昇圧電源で表示を行っているタイプの電源制御回路では、昇圧電源を負荷に接続するか、又は開放するかを選択でき、電源投入直後及び初期化直後の時点からの昇圧時間を短縮するため、昇圧回路と負荷を切り離す方式をとっている。負荷とは主としてセグメント端子容量及びLCDパネル容量をいい、表示状態から非表示状態への移行を電源制御回路のみで行う場合、電源制御回路においては負荷への電源供給選択を開放とし、非表示状態への移行を行う。昇圧回路を負荷から切り離した場合、負荷は電源供給されなくなり、負荷自身の容量により、電源から切り離される直前の電位を保持する。このため、消灯する場合には、負荷であるセグメント端子又はコモン端子に充電された電荷が自然放電するまでの

時間が必要で、LCDパネルの消灯までかなりの時間を要する。

【0016】上述の問題点の一部を解決すべく、消費電力を低減したLCD表示装置が提案されている（特開平2-210492号公報、特開平2-221998号公報）。

【0017】特開平2-210492号公報には、液晶表示素子の駆動回路の電源に複数個の双方向転送ゲートを有すると共に、液晶表示素子のクロック信号を停止する機能を有したLCD表示装置が開示されている。

【0018】このLCD表示装置は、双方向転送ゲートをスタンバイ制御信号で非導通にすることにより、LCD表示装置素子駆動用の全出力端子の出力を高インピーダンス状態とし、液晶表示素子特性を劣化させることなく、駆動クロック信号を停止させることができるものである。

【0019】特開平2-221998号公報には、液晶表示素子を直接駆動する出力バッファ回路の電源電圧の供給源に、2個の双方向の転送ゲート回路を接続し、この転送ゲート回路の制御信号で液晶駆動用電源と他の電源とを切り替えることができる構成のLCD表示装置が開示されている。このLCD表示装置は液晶表示素子を直接駆動する共通電極駆動信号及びセグメント電極信号は動作状態に合わせて特定の電圧を出力することができるものである。

【0020】

【発明が解決しようとする課題】しかし、特開平2-210492号公報では、全ての出力端子が高インピーダンス状態であるため、LCD表示装置が非表示の場合、LCD表示装置にちらつきが発生するという問題点がある。

【0021】また、特開平2-221998号公報では、このLCD表示装置をダイナミック方式で利用した場合、転送ゲート回路の出力にGND又はGNDよりも高い電位を選択すると、出力バッファ回路のpチャンネルにおいて、逆バイアスが発生し電流が増加するため、VDDレベルを各LCD端子の出力をnチャンネルのバッファソース電位として選択することができないという問題点がある。このため、消費電力を小さくすることができない。

【0022】本発明はかかる問題点に鑑みてなされたものであって、非表示状態における消費電力を低減すると共に、表示状態から非表示状態への状態遷移の遷移時間を短縮することができる液晶表示装置を提供することを目的とする。

【0023】

【課題を解決するための手段】本発明に係る液晶表示装置は、液晶表示パネルと、この液晶表示パネルの各画素を駆動するコモンドライバ及びセグメントドライバと、前記コモンドライバ及びセグメントドライバを表示タイ

ミングに基づいて制御する夫々コモンドライバ制御回路及びセグメントドライバ制御回路と、接地電位を含む複数の電位の電源を出力する昇圧回路と、この昇圧回路と前記コモンドライバとの間に接続されて前記コモンドライバに高電位側及び低電位側の2電源を選択して供給するコモン電源セレクトと、前記昇圧回路と前記セグメントドライバとの間に接続されて前記セグメントドライバに高電位側及び低電位側の2電源を選択して供給するセグメント電源セレクトと、画素の非表示時に、前記コモン電源セレクト、前記コモンドライバ制御回路、前記セグメント電源セレクト及び前記セグメントドライバ制御回路に非表示制御信号を入力し、前記コモンドライバ及び前記セグメントドライバから接地電位を出力させる手段と、を有することを特徴とする。

【0024】本発明においては、非表示制御信号が入力されると、液晶表示パネルの各画素を駆動するコモンドライバ及びセグメントドライバから接地電位を出力させるため、非表示時に、各画素への出力が中間電位の矩形波ではなく、接地電位となるので、液晶表示パネルが非表示状態である場合に、消費電流を低減することができる。

【0025】また、液晶パネルの各画素に接地電位を印加することができるので、液晶表示パネルが表示状態から非表示状態に移行する場合、本発明においては、接地電位により容量に蓄積された電荷を放出することができるので、電荷を速やかに放電することができる。このため、表示状態から非表示状態への状態遷移の遷移時間を短縮することができるので、消灯時間を短縮することができる。

【0026】この場合、前記コモンドライバ及び前記セグメントドライバは、夫々、前記高電位側電源の入力端子と、低電位側電源の入力端子との間に直列接続された一導電型MOSトランジスタと他導電型MOSトランジスタとを有し、これらのトランジスタのゲートに、夫々前記コモンドライバ制御回路及びセグメントドライバ制御回路の出力が入力されるものであり、前記コモン電源セレクト及び前記セグメント電源セレクトは前記非表示制御信号が入力されると前記低電位側電源として接地電位を出力し、前記コモンドライバ制御回路及び前記セグメントドライバ制御回路は前記非表示制御信号が入力されると前記トランジスタのうち低電位側電源が入力される側のトランジスタをオンさせるように構成することができる。

【0027】これにより、コモン電源セレクト及びセグメント電源セレクトは非表示制御信号が入力されると低電位側電源として接地電位を出力し、コモンドライバ制御回路及びセグメントドライバ制御回路は非表示制御信号が入力されるとトランジスタのうち低電位側電源が入力される側のトランジスタをオンさせるため、直列接続された一導電型MOSトランジスタ及び他導電型MOS

トランジスタに流れる貫通電流がなくなり、消費電流を低減することができる。

【0028】また、前記コモンドライバ制御回路及びセグメントドライバ制御回路は、フレーム信号が入力される表示タイミング制御回路と、この表示タイミング制御回路の出力と前記非表示制御信号が入力される論理回路とを有し、前記非表示制御信号がオンになったときに、前記論理回路から前記トランジスタのうち低電位側電源が入力される側のトランジスタをオンさせる信号が出力されることが好ましい。

【0029】これにより、論理回路からトランジスタのうち低電位側電源が入力される側のトランジスタをオンさせる信号が出力されるので、このトランジスタから低電位側電源として接地電位を液晶表示パネルの各画素に出力することができる。

【0030】

【発明の実施の形態】以下、本発明の実施例に係る液晶表示装置について添付の図面を参照して詳細に説明する。

【0031】図1は本発明の実施例に係る液晶表示装置を示すブロック図であり、図2は本発明の実施例に係る液晶表示装置のセグメントドライバ回路を示すブロック図であり、図3は本発明の実施例に係る液晶表示装置のコモンドライバ回路を示すブロック図である。なお、図1に示すセグメントドライバ3及びセグメントドライバ制御回路2は図2に示すセグメントドライバ3及びセグメントドライバ制御回路2をn個分まとめて表現したものである。また、図1に示すコモンドライバ6及びコモンドライバ制御回路5は図3に示すコモンドライバ6及びコモンドライバ制御回路5を4個分まとめて表現したものである。

【0032】本実施例の液晶表示装置においては、図1に示すように、電源72にスイッチ71を介して接続された昇圧回路7は、電源72の電圧を昇圧して、VLC0、VLC1、VLC2の3種の電源電圧を出力する。これらの電源電圧VLC0～VLC2は、セグメント電源セクタ1及びコモン電源セクタ4に入力される。セグメント電源セクタ1はこれらの電源電圧と接地電位から選択してセグメントドライバ3に高電位側電源VSH及び低電位側電源VSLを出力し、コモン電源セクタ4は同様にこれらの電源電圧と接地電位から選択してコモンドライバ6に高電位側電源VCH及び低電位側電源VCLを出力する。セグメントドライバ3及びコモンドライバ6はその出力信号S0～Sn及びC0～C3を液晶(LCD)パネル9に出力し、LCDパネル9の複数の画素を駆動してデータを表示させる。

【0033】表示制御回路8はクロックをセグメント電源セクタ1及びコモン電源セクタ4に出力すると共に、セグメントドライバ制御回路2及びコモンドライバ制御回路5に出力する。表示メモリ80にはLCDパネ

ル9に表示させる表示パターンのデータ(表示RAMデータ)が格納されている。なお、表示メモリデータ(表示RAMデータ)0～nは表示メモリ80のアドレスを示す。この表示メモリ80のデータは、表示制御回路8を介してセグメントドライバ制御回路2に与えられる。更に、表示制御回路8はフレーム信号をセグメントドライバ制御回路2とコモンドライバ制御回路5に出力する。そして、本実施例においては、表示制御回路8が液晶の各画素の非表示時に、非表示制御信号を出力し、この非表示制御信号は、セグメントドライバ制御回路2、セグメント電源セクタ1、コモンドライバ制御回路5及びコモン電源セクタ4に入力される。

【0034】図2に示すように、セグメント電源セクタ1は電源切り替えタイミング制御回路10を有し、この電源切り替えタイミング制御回路10にはトランジスタにより構成されたスイッチa11、スイッチb12、スイッチc13及びスイッチd14が接続されている。スイッチa11には接地電位GND、スイッチb12には電源VLC2、スイッチc13には電源VLC1、スイッチd14には電源VLC0が夫々入力されている。電源切り替えタイミング制御回路10にはクロックが入力されており、電源切り替えタイミング制御回路10はスイッチc13及びスイッチd14を切り替えて、高電位側電源VSHとしてVLC0又はVLC1を選択して出力し、また、スイッチa11及びスイッチb12を切り替えて、低電位側電源VSLとしてVLC2又はGNDを選択して出力する。

【0035】セグメントドライバ制御回路2はフレーム信号0～3及び表示メモリデータ0が入力される表示タイミング制御回路20と、表示タイミング制御回路20の出力及び非表示制御信号が入力されるOR回路(論理和回路)21とを有しており、OR回路21は表示タイミング制御回路20の出力と非表示制御信号との論理和をとり、これをセグメントドライバゲート信号SD0としてセグメントドライバ3に出力する。なお、セグメントドライバゲート信号SD1～SDnについても同様である。

【0036】セグメントドライバ3はCMOSタイプでpチャンネル出力バッファ30及びnチャンネル出力バッファ31を有する。pチャンネル出力バッファ30には高電位側電源VSHが入力され、nチャンネル出力バッファ31には低電位側電源VSLが入力されており、このpチャンネル出力バッファ30とnチャンネル出力バッファ31との接続点がセグメント端子32に接続されている。pチャンネル出力バッファ30及びnチャンネル出力バッファ31の各トランジスタのゲート電極にはOR回路21から出力されたセグメントドライバゲート信号SD0が入力されており、セグメントドライバゲート信号SD0がハイになると、nチャンネル出力バッファ31がオンして、セグメント端子32にVSLが出

力される。一方、セグメントドライバゲート信号SD0がロウになると、pチャンネル出力バッファ30がオンして、セグメント端子32にVSHが出力される。セグメントドライバゲート信号SD1~SDnについても同様である。このセグメントドライバ3の出力がLCDパネル9の各画素に与えられる。

【0037】図3に示すように、コモン電源セクタ4は電源切り替えタイミング制御回路40を有し、この電源切り替えタイミング制御回路40にはトランジスタにより構成されたスイッチa41、スイッチb42、スイッチc43及びスイッチd44が接続されている。スイッチa41には接地電位GND、スイッチb42には電源VLC2、スイッチc43には電源VLC1、スイッチd44には電源VLC0が夫々入力されている。電源切り替えタイミング制御回路40にはクロックが入力されており、電源切り替えタイミング制御回路40はスイッチc43及びスイッチd44を切り替えて、高電位側電源VCHとしてVLC0又はVLC1を選択して出力し、また、スイッチa41及びスイッチb42を切り替えて、低電位側電源VCLとしてVLC2又はGNDを選択して出力する。

【0038】コモンドライバ制御回路5はフレーム信号0~3が入力される表示タイミング制御回路50と、表示タイミング制御回路50の出力及び非表示制御信号が入力されるOR回路51とを有しており、OR回路51は表示タイミング制御回路50の出力と非表示制御信号との論理和をとり、これをコモンドライバゲート信号CD0としてコモンドライバ6に出力する。なお、コモンドライバゲート信号CD1~CD3についても同様である。

【0039】コモンドライバ6はCMOSタイプでpチャンネル出力バッファ60とnチャンネル出力バッファ61とを有する。また、pチャンネル出力バッファ60には高電位側電源VCHが入力され、nチャンネル出力バッファ61には低電位側電源VCLが入力されており、このpチャンネル出力バッファ60とnチャンネル出力バッファ61との接続点がコモン端子62に接続されている。pチャンネル出力バッファ60及びnチャンネル出力バッファ61の各トランジスタのゲート電極にはOR回路51から出力されたコモンドライバゲート信号CD0が入力されており、コモンドライバゲート信号CD0がハイになると、nチャンネル出力バッファ61がオンして、コモン端子62にVCLが出力される。一方、コモンドライバゲート信号CD0がロウになると、pチャンネル出力バッファ60がオンして、コモン端子62にVCHが出力される。コモンドライバゲート信号CD1~CD3についても同様である。このコモンドライバ6の出力がLCDパネル9の各画素に与えられる。

【0040】次に、本実施例に係る液晶表示装置の動作について、図1乃至3に加えて、図4乃至図7を参照し

て説明する。図4は縦軸に電位、横軸に時間を取り、本実施例に係るセグメントドライバの入力波形及び出力波形を示すタイミングチャートであり、図5(a)は縦軸に電位、横軸に時間をとって、本実施例に係るセグメントドライバの出力波形を示すタイミングチャートであり、(b)は(a)の要部拡大図である。また、図6は縦軸に電位、横軸に時間を取り、本実施例に係るコモンドライバの入力波形及び出力波形を示すタイミングチャートであり、図7(a)は縦軸に電位、横軸に時間をとって、本実施例に係るコモンドライバの出力波形を示すタイミングチャートであり、(b)は(a)の要部拡大図である。

【0041】先ず、表示状態の動作について説明する。図5(a)、図7(a)の前半にみるように、非表示制御信号がオフ(ロウレベル)の場合には、通常の表示状態で表示を行う。即ち、図4に示すように、クロック及びフレーム信号0~3を表示制御回路8により発生させる。また、セグメント端子32の出力によりLCDパネル9上で所望の表示が可能となるように、図1の表示メモリデータ0に図4の表示RAMデータ0で示されるデータを設定し、この表示メモリデータ0の値を表示制御回路8を経由して、セグメントドライバ制御回路2の表示タイミング制御回路20に入力する。セグメントドライバ制御回路2の表示タイミング制御回路20は、フレーム信号0~3及び表示メモリデータ0から従来と同様にセグメントドライバゲート信号を生成する。

【0042】OR回路21には非表示制御信号としてロウが入力されており、表示タイミング制御回路20の出力と非表示制御信号との論理和をとると、表示タイミング制御回路20の出力がそのままセグメントドライバゲート信号SD0として出力される。このSD0がセグメントドライバ3のpチャンネル出力バッファ30及びnチャンネル出力バッファ31のゲート電極に入力される。

【0043】セグメント電源セクタ1の電源切り替えタイミング制御回路10は非表示制御信号及びクロックを入力し、このクロックに同期してスイッチc13及びスイッチd14を交互にオンオフし、高電位側電源VSHとしてVLC0とVLC1とを交互に出力させる。また、電源切り替えタイミング制御回路10はクロックに同期してスイッチa11及びスイッチb12を交互にオンオフし、低電位側電源VSLとしてVLC2とGNDとを交互に出力させる。そして、セグメントドライバゲート信号SD0がハイの期間にnチャンネル出力バッファ31がオンしてVSLの電位(VLC2又はGND)がセグメントドライバ出力S0としてセグメント端子32に出力され、セグメントドライバゲート信号SD0がロウの期間にpチャンネル出力バッファ30がオンしてVSHの電位(VLC0又はVLC1)がセグメントドライバ出力S0としてセグメント端子32に出力され

る。これにより、図4に示すS0の波形の信号がセグメント端子32に出力される。セグメントドライバ出力S1～Snも同様にしてセグメントドライバ3から出力される。

【0044】次に、コモンドライバ6における表示状態の動作について説明する。図6に示すように、クロック及びフレーム信号0～3が表示タイミング制御回路50に入力されると、表示タイミング制御回路50はコモンドライバゲート信号CD0～CD3を生成する。表示時には非表示制御信号がロウであるので、コモンドライバ制御回路5から表示タイミング制御回路50の出力がそのままコモンドライバゲート信号CD0～CD3として出力される。電源切り替えタイミング制御回路40はクロックに同期してスイッチd44及びスイッチc43を切り替えて高電位側電源VCHとしてVLC0とVLC1とを交互に出力し、低電位側電源VCLとして、VLC2とGNDとを交互に出力する。そして、コモンドライバ6においては、コモンドライバゲート信号CD0がハイの場合にnチャンネル出力バッファ61がオンしてVCLが選択され、そのときのVCLの電位がコモンドライバ出力C0としてコモン端子62に出力される。一方、コモンドライバゲート信号CD0がロウの場合はpチャンネル出力バッファ60がオンしてVCHが選択され、そのときのVCHの電位がコモンドライバ出力C0としてコモン端子62に出力される。これにより、図6にC0で示す波形の信号がコモン端子62に出力される。コモンドライバ出力C1～C3も同様にコモンドライバ6から出力される。

【0045】次に、セグメントドライバ3の非表示時の動作について図5(a)及び(b)を参照して説明する。液晶の非表示時には、表示制御回路8が非表示制御信号をオン(ハイレベル)にする。

【0046】図5(a)に示すように、非表示制御信号がオン(ハイレベル)の場合には、表示タイミング制御回路20からどのような信号が出力されていても、OR回路21からはハイの信号が出力され、nチャンネル出力バッファ31がオンになる。また、電源切り替えタイミング制御回路10は、非表示制御信号がハイレベルの場合には、スイッチa11及びスイッチc13をオンするので、セグメント電源セクタ1の出力として、VSHはVLC1に固定され、VSLはGNDに固定される。そして、セグメントドライバ3にはハイのセグメントドライバゲート信号SD0が入力されてnチャンネル出力バッファ31がオンになっているので、VSLが選択されて、セグメント端子32にはGNDレベルが出力される。

【0047】次に、コモンドライバ6の非表示時の動作について、図7(a)及び(b)を参照して説明する。

【0048】非表示制御信号がハイレベルの場合には、図7(a)に示すように、OR回路51から表示タイミ

ング制御回路50の出力の如何に拘らず、コモンドライバゲート信号CD0としてハイが出力され、nチャンネル出力バッファ61がオンになる。また、電源切り替えタイミング制御回路40は、非表示制御信号がハイレベルの場合には、スイッチa41及びスイッチc43をオンにし、コモン電源セクタ4の出力として、VCHはVLC1に固定し、VCLはGNDに固定する。そして、nチャンネル出力バッファ61がオンになっているので、図7(b)に示すように、非表示制御信号がハイレベルとなると同時に、コモン端子62にはGNDレベルが出力される。

【0049】上述の如く、本実施例においては、セグメントドライバ制御回路2の出力段にOR回路21を設け、非表示制御信号がオンのとき、セグメントドライバ制御回路2からセグメントドライバゲート信号SD0としてハイを出力してnチャンネル出力バッファ31を選択し、また、非表示制御信号がオンのとき、電源切り替えタイミング制御回路10が低電位側電源VSLとしてGNDを選択するようにしたので、セグメント端子32にGNDが出力され、LCDパネル9にGNDが出力される。

【0050】また、同様に、コモン端子62にもGNDが出力され、LCDパネル9にGNDが出力される。従って、非表示制御信号がオンのときには、セグメントドライバゲート信号SD0～SDn及びコモンドライバゲート信号CD0～CD3がハイとなり、セグメントドライバ出力S0～Sn及びコモンドライバ出力C0～C3は全てGNDとなる。即ち、非表示状態時には、セグメント端子32及びコモン端子62の出力は中間電位の矩形波ではなく、GNDレベルとなる。これにより、LCDパネル9の各画素にセグメントドライバ3及びコモンドライバ6からGNDを出力することができ、LCDパネル9が非表示状態である場合において、セグメントドライバ3及びコモンドライバ6における貫通電流をなくすることができる。

【0051】また、本実施例においては、セグメント電源セクタ1及びコモン電源セクタ4は、負荷に対して昇圧回路7から供給される電源電圧VLC0、VLC1、VLC2又は接地電位GNDを接続する構成となっており、LCDパネル9が表示状態から非表示状態に移行する場合に、非表示制御信号をオンすることにより、セグメント電源セクタ1及びコモン電源セクタ4ではVSL及びVCLに対しGNDを接続し、更にセグメントドライバ制御回路2及びコモンドライバ制御回路5において、VSL及びVCLがセグメントドライバ3及びコモンドライバ6で選択されるように、非表示制御信号により電源切り替えタイミング制御回路10、40が制御されているので、接地電位により、セグメント端子32及びコモン端子62に蓄積された電荷を放出することができるため、電荷を速やかに放電することができる。

る。このため、LCDパネル9を速やかに消灯させることができる。

【0052】更に、本発明においては、上述の実施例に限定されるものではなく、図3に示すセグメントドライバ制御回路2において、OR回路21を設けなくともよい。この場合、表示タイミング制御回路20でフレーム信号0～3、クロック及び表示メモリデータ0を非表示制御信号がオンとき、非表示制御信号を選択して出力するように処理することにより、非表示制御信号がハイレベルであるとき、SD0をハイレベルにし、セグメントドライバ出力S0を、上述の如く、GND出力とすることができるので、非表示状態でセグメントドライバ3における貫通電流による消費電流を低減することができる。また、コモンドライバ制御回路5においても、セグメントドライバ制御回路2と同様にOR回路51を設けない構成とすることができる。

【0053】また、図3に示すセグメントドライバ3において、CMOSタイプであるpチャンネル出力バッファ30及びnチャンネル出力バッファ31をpチャンネルトランジスタ及びnチャンネルトランジスタを並列に抱き合わせて夫々のソース及びドレイン電極を接続したトランスファゲートに置き換えることもできる。この場合、セグメント電源セクタ1においては、非表示信号がオンのとき、VSLにGNDを出力し、セグメントドライバゲート信号SD0をハイレベルにし、セグメントドライバ出力S0を上述の如く、GND出力とすることができるので、非表示状態でセグメントドライバ3において貫通電流による消費電力を低減することができる。また、コモン電源セクタ4においても、セグメントドライバ3と同様の構成とすることができ、非表示信号がオンのとき、VCLにGNDを出力し、コモンドライバゲート信号CD0をハイレベルにし、セグメントドライバ出力C0を上述の如く、GND出力とすることができるので、非表示状態でコモンドライバ5において貫通電流による消費電流を低減することができる。

【0054】

【発明の効果】以上詳述したように本発明によれば、非表示制御信号が入力されると、液晶表示パネルの各画素を駆動するコモンドライバ及びセグメントドライバから接地電位を出力させるため、非表示時に、各画素への出力が中間電位の矩形波ではなく、接地電位となるので、液晶表示パネルが非表示状態である場合に、消費電流を低減することができる。

【0055】また、液晶パネルの各画素に接地電位を印加することができるので、液晶表示パネルが表示状態から非表示状態に移行する場合、本発明においては、接地電位により容量に蓄積された電荷を放出することができるので、電荷を速やかに放電することができる。このため、表示状態から非表示状態への状態遷移の遷移時間を短縮することができるので、消灯時間を短縮することが

できる。

【図面の簡単な説明】

【図1】本発明の実施例に係る液晶表示装置を示すブロック図である。

【図2】本発明の実施例に係る液晶表示装置のセグメントドライバ回路を示すブロック図である。

【図3】本発明の実施例に係る液晶表示装置のコモンドライバ回路を示すブロック図である。

【図4】縦軸に電位、横軸に時間を取り、本発明の実施例に係るセグメントドライバの入力波形及び出力波形を示すタイミングチャートである。

【図5】(a)は縦軸に電位、横軸に時間をとって、本発明の実施例に係るセグメントドライバの出力波形を示すタイミングチャートであり、(b)は(a)の要部拡大図である。

【図6】縦軸に電位、横軸に時間を取り、本発明の実施例に係るコモンドライバの入力波形及び出力波形を示すタイミングチャートである。

【図7】(a)は縦軸に電位、横軸に時間をとって、本発明の実施例に係るコモンドライバの出力波形を示すタイミングチャートであり、(b)は(a)の要部拡大図である。

【図8】従来の液晶表示装置のセグメントドライバ回路を示すブロック図である。

【図9】従来の液晶表示装置のコモンドライバ回路を示すブロック図である。

【図10】縦軸に電位、横軸に時間を取り、(a)は従来の非表示時のセグメント波形を示し、(b)は従来の非表示時のコモン波形を示す模式図である。

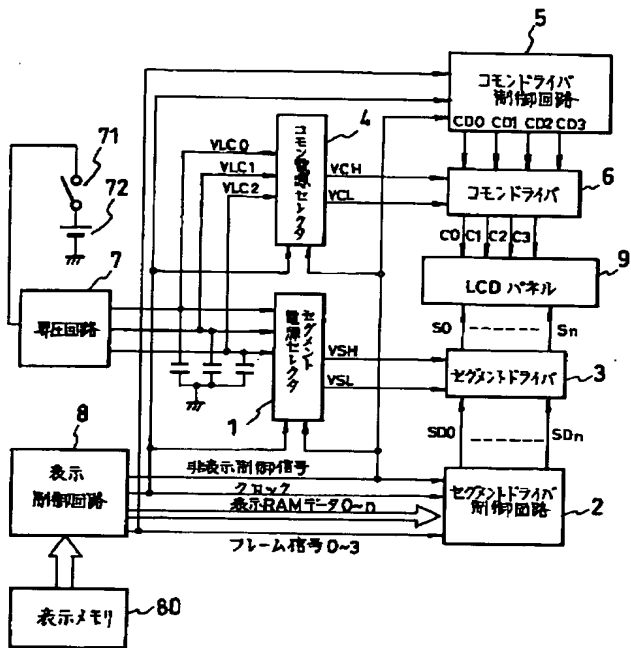
【符号の説明】

- 1、100；セグメント電源セクタ
- 2、110；セグメントドライバ制御回路
- 3、120；セグメントドライバ
- 4、130；コモン電源セクタ
- 5、140；コモンドライバ制御回路
- 6、150；コモンドライバ
- 7；昇圧回路
- 8；表示制御回路
- 9；LCDパネル
- 10、40、101、131；電源切り替えタイミング制御回路
- 11、41、102、132；スイッチa
- 12、42、103、133；スイッチb
- 13、43、104、134；スイッチc
- 14、44、105、135；スイッチd
- 20、50、111、141；表示タイミング制御回路
- 21、51；OR回路
- 30、60、121、151；pチャンネル出力バッファ
- 31、61、122、152；nチャンネル出力バッファ

ア  
3 2、1 2 3 ; セグメント端子  
6 2、1 5 3 ; コモン端子

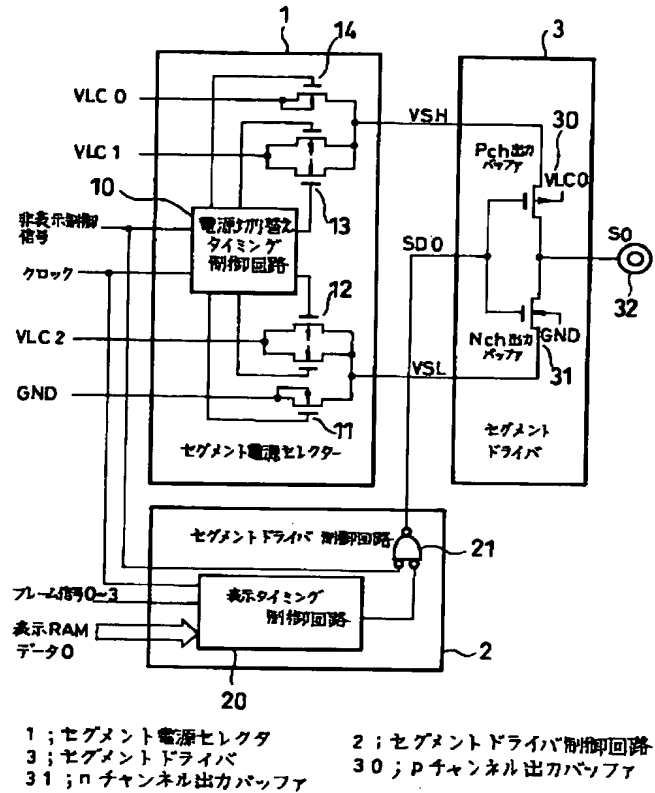
7 1 ; スイッチ  
7 2 ; 電源  
8 0 ; 表示メモリ

【図1】



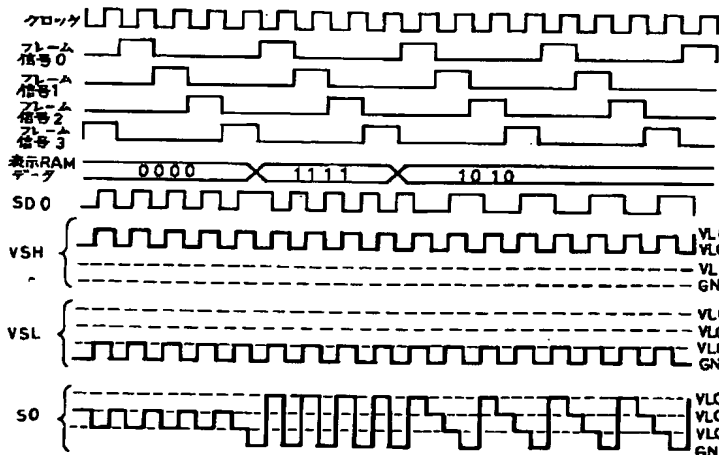
8 ; 表示制御回路  
10 ; 電源切り替えタイミング制御回路  
7 2 ; コンデンサ  
9 ; LCDパネル  
7 1 ; スイッチ  
8 0 ; 表示メモリ

【図2】

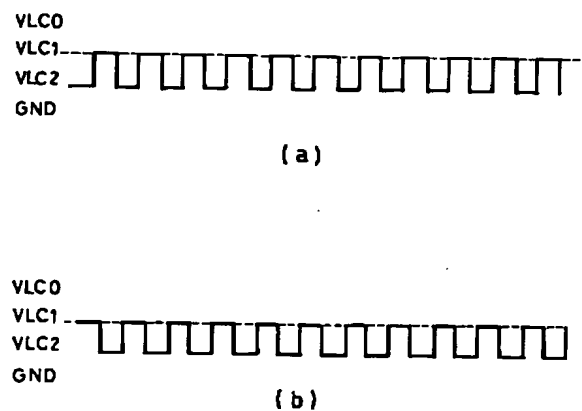


1 ; セグメント電源セレクタ  
3 ; セグメントドライバ  
3 1 ; nチャンネル出力バッファ  
2 ; セグメントドライバ制御回路  
3 0 ; pチャンネル出力バッファ

【図4】



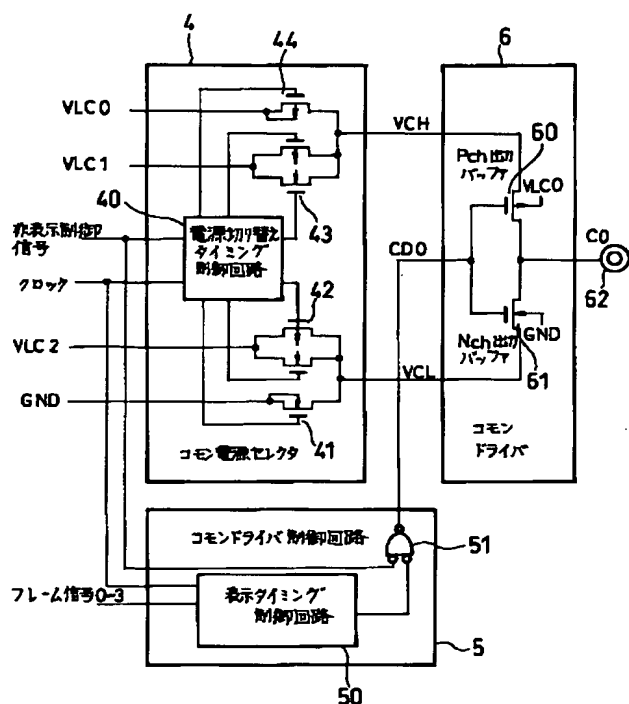
【図10】



(a)

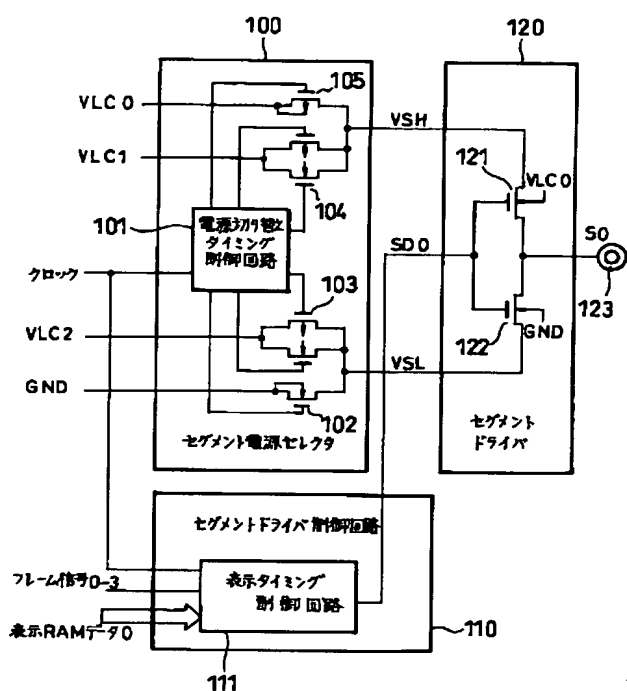
(b)

【図3】



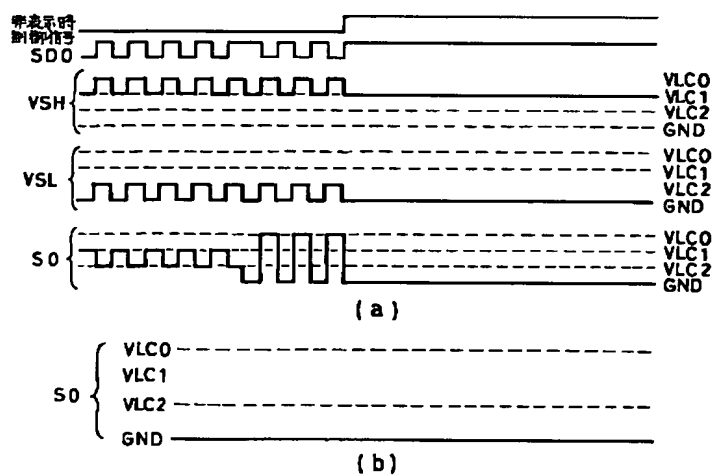
4 ; コモン電源セクタ  
5 ; コモンドライバ制御回路  
6 ; コモンドライバ  
51 ; OR回路

【図8】

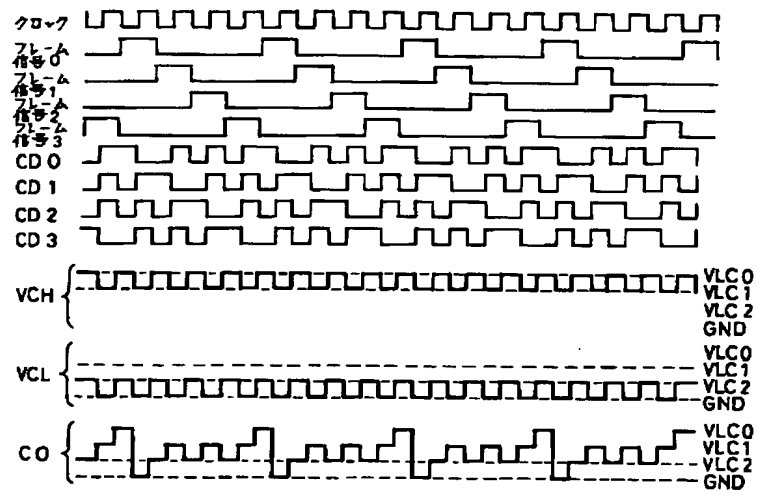


100 ; セグメント電源セクタ  
110 ; セグメントドライバ制御回路  
120 ; セグメントドライバ  
121 ; pチャンネル出力バッファ  
122 ; nチャンネル出力バッファ

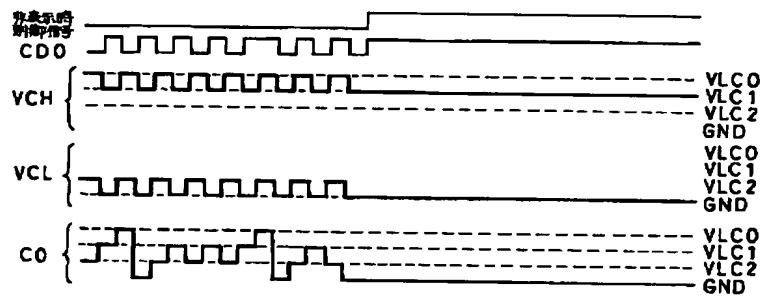
【図5】



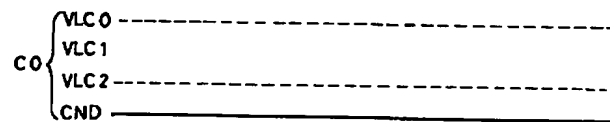
【図6】



【図7】

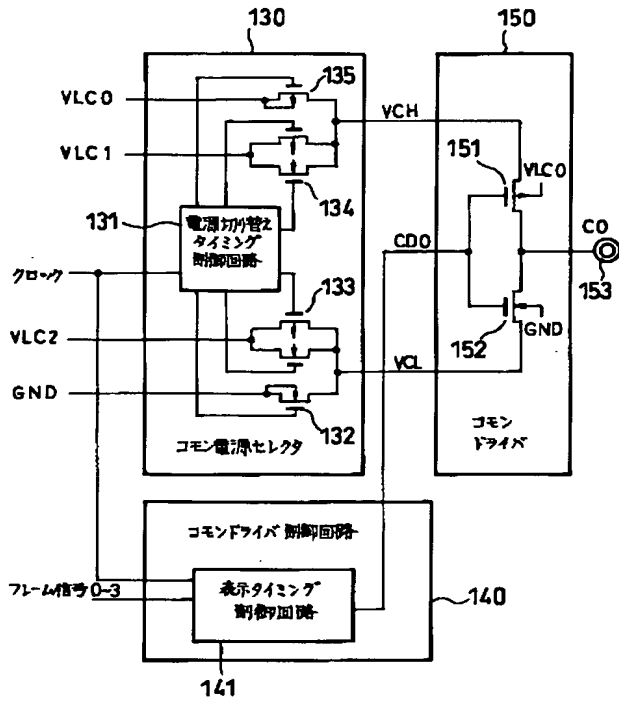


(a)



(b)

【图9】



130; コモン電源セレクト      140; コモンドライバ制御回路  
141; 表示タイミング制御回路      150; コモンドライバ

フロントページの続き

Fターム(参考) 5C006 AA02 AA22 AC01 AC24 AF51  
AF68 BB01 BC03 BC13 BC16  
BF02 BF34 BF46 EC05 FA14  
FA47 GA04  
5C080 AA10 BB01 CC03 DD08 DD26  
DD30 EE25 EE32 FF08 GG16  
JJ03 JJ04 KK02